

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2002-131392

(P 2002-131392A)

(43) 公開日 平成14年5月9日 (2002. 5. 9)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
G 0 1 R	31/316	H 0 3 M 1/10	C 2G032
	31/28	G 0 1 R 31/28	C 5J022
	31/3183		M
H 0 3 M	1/10		Q
			Y

審査請求 未請求 請求項の数 5

O L

(全 11 頁)

(21) 出願番号 特願2000-324216 (P2000-324216)

(22) 出願日 平成12年10月24日 (2000. 10. 24)

(71) 出願人 000117744

安藤電気株式会社

東京都大田区蒲田五丁目29番3号

(72) 発明者 川合 晃泰

東京都大田区蒲田4丁目19番7号 安藤電気株式会社内

(74) 代理人 100090033

弁理士 荒船 博司 (外1名)

F ターム (参考) 2G032 AA09 AB01 AC00 AD01 AE08

AE10 AE11 AG03 AG07 AH01

AL11

5J022 AA01 AC04 CD02 CD03 CE01

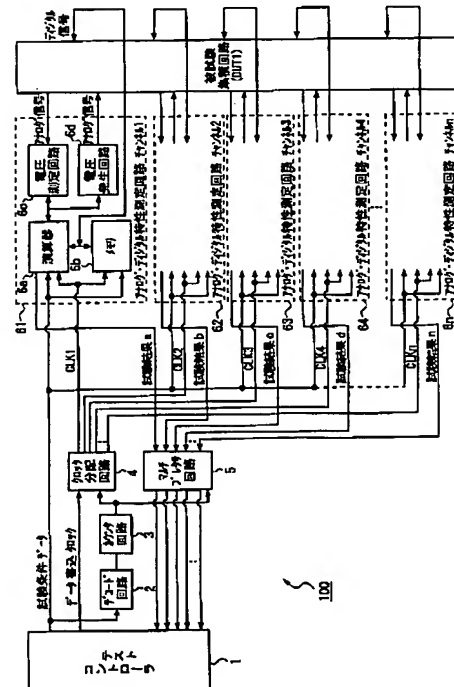
CE05 CF08

(54) 【発明の名称】 アナログ・デジタル特性試験回路

(57) 【要約】

【課題】 本発明の課題は、アナログ・デジタル特性試験の効率を向上し、また、アナログ・デジタル特性試験回路の製造コストを抑えることである。

【解決手段】 テストコントローラ1から順次複数の異なる試験条件データ「A」～「N」を出力し、カウンタ回路3にて試験条件データの出力数を計数し、その計数値に応じてテストコントローラ1から出力されるデータ書込クロックをクロック分配回路4によって分配して、各アナログ・デジタル特性測定回路6 1～6 nに夫々対応する試験条件データを書き込ませる。



【特許請求の範囲】

【請求項 1】 所与の試験条件データに基づいて被試験 IC のアナログ・デジタル特性を測定する測定回路を複数備えたアナログ・デジタル特性試験回路であって、前記各測定回路に対して、異なる試験条件データを夫々設定する設定手段を備えることを特徴とするアナログ・デジタル特性試験回路。

【請求項 2】 前記設定手段は、試験条件データを順次出力する試験条件出力手段と、この試験条件出力手段から出力される試験条件データを計数する計数手段と、この計数手段における計数値に応じて前記試験条件データの書き込み先を特定する特定手段と、を備えることを特徴とする請求項 1 記載のアナログ・デジタル特性試験回路。

【請求項 3】 前記特定手段は、前記試験条件出力手段からはじめに出力される試験条件データを前記計数手段により計数した際に、その試験条件データの書き込み先を全ての測定回路とすることを特徴とする請求項 2 記載のアナログ・デジタル特性試験回路。

【請求項 4】 前記各測定回路における試験結果データを管理する管理手段を更に備えることを特徴とする請求項 1 記載のアナログ・デジタル特性試験回路。

【請求項 5】 前記管理手段は、前記各測定回路から入力される試験結果データを前記計数手段の計数値に応じて所定の出力端子から出力するマルチプレクサ回路と、このマルチプレクサ回路から出力された試験結果データに基づいて被試験 IC の良・不良を判定する判定手段と、を備えることを特徴とする請求項 4 記載のアナログ・デジタル特性試験回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、アナログ・デジタル特性試験回路に係り、詳細には、被試験 IC のアナログ・デジタル特性を試験するアナログ・デジタル特性試験回路に関する。

【0002】

【従来の技術】 従来より、被試験 IC（以下、DUT という）のアナログ・デジタル特性試験を行うアナログ・デジタル特性試験回路を備えた IC 試験装置（以下、IC テスタという）がある。アナログ・デジタル特性試験とは、例えばアナログデジタル変換器の特性試験、デジタルアナログ変換器の特性試験である。

【0003】 従来のアナログ・デジタル特性試験回路 300 を図 8 に示す。図 8 に示すように、従来のアナログ・デジタル特性試験回路 300 は、テストコントローラ 20、複数のアナログ・デジタル特性測定回路 21、22、23、24、…、2n により構成され、n 個

の被試験 IC（DUT¹～DUTⁿ）は、夫々アナログ・デジタル特性測定回路 21、22、23、24、…、2n に接続される。

【0004】 テストコントローラ 20 は、アナログ・デジタル特性試験の試験条件データとその試験条件データをアナログ・デジタル特性測定回路 21～2n に書き込むためのデータ書込クロックを出力する。また、各アナログ・デジタル特性測定回路 21～2n から出力された試験結果データを管理する。

【0005】 また、各アナログ・デジタル特性測定回路 21～2n は夫々演算器 21a、メモリ 21b、電圧測定回路 21c、電圧発生回路 21d により構成される。メモリ 21b には、テストコントローラ 20 から出力された試験条件データがデータ書込クロックのタイミングで格納される。また、メモリ 21b にはアナログ・デジタル特性測定のための測定アルゴリズムが予め格納されている。

【0006】 特性試験対象がアナログデジタル変換器の場合、演算器 21a は電圧発生回路 21d を制御し、電圧発生回路 21d より DUT のアナログデジタル変換器にアナログ信号を印加する。

【0007】 DUT は印加されたアナログ信号に対応したデジタル信号を出力し、演算器 21a はそのデジタル信号をメモリ 21b に格納する。演算器 21a は電圧発生回路 21d を制御して印加するアナログ信号を変化させ、アナログ・デジタル特性測定に必要なデータを収集する。必要なデータが収集できた場合、演算器 21a はデータ演算を行い、試験条件データに基づき良／不良を判定し、試験結果としてテストコントローラ 20 に出力する。

【0008】 特性試験対象がデジタルアナログ変換器の場合、演算器 21a は DUT のデジタルアナログ変換器にデジタル信号を印加する。DUT のデジタルアナログ変換器は印加されたデジタル信号に対応したアナログ信号を出力し、そのアナログ信号は電圧測定回路 21c により測定される。

【0009】 演算器 21a は電圧測定回路 21c における測定値をメモリ 21b に格納する。演算器 21a は印加するデジタル信号を変化させ、アナログ・デジタル特性測定に必要なデータを収集する。必要なデータが収集できた場合、演算器 21a はデータ演算を行い、試験条件データに基づき良／不良を判定し、試験結果としてテストコントローラ 20 に出力する。

【0010】 アナログ・デジタル特性測定回路 22、23、24、…、2n も 21 と同一の構成、機能を持っている。

【0011】

【発明が解決しようとする課題】 以上説明したように、従来のアナログ・デジタル特性試験回路 300 ではアナログ・デジタル特性測定回路を複数備えることがで

きるが、アナログ・デジタル特性測定回路は高精度な電圧発生回路や電圧測定回路を構成要素として必要とするため高価であり、そのため IC テスタの同時測定可能 DUT 数と同じか、それより少ない数しか実装されないのが一般的である。

【0012】また、アナログ・デジタル特性試験回路 300 に複数台のアナログ・デジタル特性測定回路を備えた場合、同一の試験条件データを同一タイミングのデータ書込クロックにて書き込むことにより同時に複数の DUT を測定しているが、1 つの DUT 内に複数のアナログデジタル変換器またはデジタルアナログ変換器等のアナログ・デジタル特性試験対象回路が実装されている場合、それら複数のアナログ・デジタル特性試験対象回路を同時に測定することはできない。

【0013】また、通常複数のアナログ・デジタル特性試験対象回路を実装した DUT は大規模で、論理機能試験の対象となるピンも多くなるために IC テスタにて同時測定可能な DUT の数も少なくなってしまう。そのような DUT のアナログ・デジタル特性試験を行う場合、アナログ・デジタル特性測定回路が複数台備えられていたとしても有効に利用されないこととなる。

【0014】本発明の課題は、アナログ・デジタル特性試験の効率を向上し、また、アナログ・デジタル特性試験回路の製造コストを抑えることである。

【0015】

【課題を解決するための手段】このような課題を解決するため、請求項 1 記載の発明は、所与の試験条件データに基づいて被試験 IC のアナログ・デジタル特性を測定する測定回路（例えば、図 1 に示すアナログ・デジタル特性測定回路 61～6n）を複数備えたアナログ・デジタル特性試験回路であって、前記各測定回路に対して、異なる試験条件データを夫々設定する設定手段（例えば、図 1 に示すテストコントローラ 1、デコード回路 2、カウンタ回路 3、クロック分配回路 4）を備えることを特徴とするアナログ・デジタル特性試験回路。

【0016】請求項 1 記載の発明によれば、設定手段によって複数の測定回路に対して、夫々異なる試験条件データを設定して被試験 IC のアナログ・デジタル特性を試験できるので、試験効率が向上する。例えば、一つの被試験 IC 内に複数のアナログ・デジタル変換器やデジタル・アナログ変換器等の試験対象回路を含む場合にも各試験対象回路に夫々異なる試験条件を設定して試験できる。

【0017】また、請求項 2 記載の発明のように、請求項 1 記載のアナログ・デジタル特性試験回路において、前記設定手段は、試験条件データを順次出力する試験条件出力手段（例えば、図 1 に示すテストコントローラ 1）と、この試験条件出力手段から出力される試験条件データを計数する計数手段（例えば、カウンタ回路

3）と、この計数手段における計数値に応じて前記試験条件データの書き込み先を特定する特定手段（例えば、図 1 に示すクロック分配回路 4）と、を備えることが有効である。

【0018】請求項 2 記載の発明によれば、試験条件出力手段と、計数手段と、特定手段と、によって、順次出力される試験条件データを計数し、その計数値、即ち出力順に応じて何れの試験条件データを何れの測定回路に書き込むか特定できる。

10 【0019】また、請求項 3 記載の発明のように、請求項 2 記載のアナログ・デジタル特性試験回路において、前記特定手段は、前記試験条件出力手段からはじめに出力される試験条件データを前記計数手段により計数した際に、その試験条件データの書き込み先を全ての測定回路とする（図 3）ことが有効である。

【0020】請求項 3 記載の発明によれば、試験条件データが一つの場合には、全ての測定回路に同一の試験条件データを設定して複数の被試験 IC を同時に試験できる。

20 【0021】また、請求項 4 記載の発明のように、請求項 1 記載のアナログ・デジタル特性試験回路において、前記各測定回路における試験結果データを管理する管理手段（例えば、図 1 に示すテストコントローラ 1）を更に備えることが有効である。

【0022】請求項 4 記載の発明によれば、管理手段によってアナログ・デジタル特性試験の結果を容易に管理でき、試験効率が向上する。

30 【0023】また、請求項 5 記載の発明のように、請求項 4 記載のアナログ・デジタル特性試験回路において、前記管理手段は、前記各測定回路から入力される試験結果データを前記計数手段の計数値に応じて所定の出力端子から出力するマルチプレクサ回路（例えば、図 1 に示すマルチプレクサ回路 5）と、このマルチプレクサ回路から出力された試験結果データに基づいて被試験 IC の良・不良を判定する判定手段（例えば、図 1 に示すテストコントローラ 1）と、を備えることが有効である。

【0024】請求項 5 記載の発明によれば、マルチプレクサ回路と、判定手段と、によって、各測定回路から入力される試験結果データに基づいて被試験 IC の良・不良を判定でき、試験者は様々な試験条件における試験結果を容易に取得できる。

【0025】

【発明の実施の形態】以下、図を参照して本発明に係るアナログ・デジタル特性試験回路の実施の形態を詳細に説明する。

【0026】〔第 1 の実施の形態〕まず第 1 の実施の形態のアナログ・デジタル特性試験回路 100 の構成を説明する。図 1 は、アナログ・デジタル特性試験回路 100 の回路構成図である。図 1 に示すように、アナロ

グ・デジタル特性試験回路 100 は、テストコントローラ 1、デコード回路 2、カウンタ回路 3、クロック分配回路 4、マルチプレクサ回路 5、複数の（第 1～第 n の）アナログ・デジタル特性測定回路 61、62、63、64、…、6n により構成される。以下の説明において、各アナログ・デジタル特性測定回路 61、62、63、64、…、6n を夫々区別する必要がない場合は総称して「アナログ・デジタル特性測定回路 6」という。

【0027】テストコントローラ 1 は被試験 IC（以下、DUT という）のアナログ・デジタル特性を試験するための試験プログラムを格納しており、試験プログラムに基づき試験条件データを出力し、また試験条件データを第 1～第 n のアナログ・デジタル特性測定回路 6 へ書き込むためのデータ書込クロックを出力する。DUT の試験プログラムは、図 2 に示すように n 台のアナログ・デジタル特性測定回路 61～6n に対応する n 個の試験条件データ「A」、「B」、「C」、「D」、…、「N」が記述されている。

【0028】デコード回路 2 は、テストコントローラ 1 から出力されるデータを入力とし、入力されたデータをデコードすることによりアナログ・デジタル特性測定回路 6 に試験条件データが送信されたことを検出する。

【0029】カウンタ回路 3 はデコード回路 2 の出力を入力とし、試験条件データが送信された回数を計数する。

【0030】クロック分配回路 4 はテストコントローラ 1 からのデータ書込クロックをカウンタ回路 3 の出力信号（計数値）に基づき分配する。第 1 の実施の形態では、カウンタ回路 3 における計数値が「1」のとき、全てのアナログ・デジタル特性測定回路 61～6n に対してデータ書込みクロック CLK1～CLKn を供給するとともに、カウンタ回路 3 における計数値が「n」のとき、第 n のアナログ・デジタル特性測定回路 6n に対してデータ書込みクロック CLKn を供給する。

【0031】アナログ・デジタル特性測定回路 6 は、演算器 6a、メモリ 6b、電圧測定回路 6c、電圧発生回路 6d により構成される。

【0032】テストコントローラ 1 からの試験条件データはクロック分配回路 4 から出力されるクロック信号にて演算器 6a 内のレジスタ及びメモリ 6b に格納される。アナログ・デジタル特性測定回路 6 と同一構成、機能である任意の台数のアナログ・デジタル特性測定回路 62、63、64、…、6n は夫々クロック分配回路 4 からのクロック信号によりテストコントローラ 1 からの試験条件データが書き込まれる。

【0033】また、メモリ 6b にはアナログ・デジタル特性測定のための測定アルゴリズムがあらかじめ格納されており、その測定アルゴリズム及び試験条件データに従い、演算器 6a は電圧測定回路 6c 及び電圧発生回

路 6d を制御する。

【0034】例えば、DUT に実装されたアナログデジタル変換器の試験を行う場合、演算器 6a は電圧発生回路 6d を制御し、DUT にアナログ信号を印加する。DUT のアナログデジタル変換器は印加されたアナログ信号に対応したデジタル信号を出力するため、演算器 6a はそのデジタル信号をメモリ 6b に格納する。演算器 6a は電圧発生回路 6d を制御して印加するアナログ信号を変化させ、アナログ・デジタル特性測定に必要なデータを収集する。必要なデータが収集できた場合、演算器 6a はデータ演算を行い、試験条件データに基づき良／不良の試験結果を出力する。

【0035】また、DUT に実装されたデジタルアナログ変換器の試験を行う場合、演算器 6a はデジタル信号を DUT に印加する。DUT のデジタルアナログ変換器は印加されたデジタル信号に対応したアナログ信号を出力し、そのアナログ信号は電圧測定回路 6c により測定される。演算器 6a はその測定結果をメモリ 6b に格納する。また、演算器 6a は印加するデジタル信号を変化させ、アナログ・デジタル特性測定に必要なデータを収集する。必要なデータが収集できた場合、演算器 6a はデータ演算を行い、試験条件データに基づき良／不良の試験結果を出力する。

【0036】アナログ・デジタル特性測定回路 6 から出力された各試験結果データ「a」、「b」、「c」、「d」、…、「n」はマルチプレクサ回路 5 に入力される。

【0037】マルチプレクサ回路 5 は、n 個の入力端子及び n 個の出力端子を備え、第 n の入力端子には第 n のアナログ・デジタル特性測定回路 6n から出力される試験結果データが入力される。また、マルチプレクサ回路 5 は、カウンタ回路 3 の出力信号（計数値）に応じて、入力された試験結果データをマルチプレクスし、テストコントローラ 1 へ出力する。テストコントローラ 1 はマルチプレクサ回路 5 から入力された試験結果データを管理し、1 つの DUT に対し複数の試験条件で、複数回のアナログ・デジタル特性試験を行った場合における最終的な良／不良の試験結果を求める。

【0038】次に動作を説明する。図 1 に示すアナログ・デジタル特性試験回路 100 において、アナログ・デジタル特性測定回路 6 が任意の台数である n 台であり、その n 台のアナログ・デジタル特性測定回路 6 を 1 つの DUT に対して割り当てる動作について、図 3 及び図 4 を参照して説明する。

【0039】図 3 はアナログ・デジタル特性測定回路 61～6n へ試験条件データを書込むタイミングを説明するタイミングチャートであり、図 4 は、マルチプレクサ回路 5 の各端子における試験結果データの入出力の関係を示す図である。一つの DUT 内の複数のアナログデジタル変換器またはデジタルアナログ変換器を試験

する場合について説明する。

【0040】DUTの特性試験実行時、 n 個の試験条件データは図3に示すように「A」から「N」まで順次テストコントローラ1から送信される。送信された試験条件データがアナログ・デジタル特性試験の試験条件データであることはデコード回路2にて検出される。検出された試験条件データの数はカウンタ回路3により計数される。

【0041】クロック分配回路4はカウンタ回路3の計数値に応じて、テストコントローラ1から送信されるデータ書込クロックを各アナログ・デジタル特性測定回路61～6 n に分配する。即ち、図3に示すように、カウンタ回路3の出力（計数値）が「1」である時は入力されたデータ書込クロックのタイミングでクロックCLK1, CLK2, CLK3, CLK4, …, CLKnを発生し、全てのアナログ・デジタル特性測定回路61, 62, 63, 64, …, 6 n に出力する。

【0042】カウンタ回路3の計数値が「2」であるときはデータ書き込みクロックのタイミングでクロックCLK2を発生し、第2のアナログ・デジタル特性測定回路62に出力する。以下同様にカウンタ回路3の出力（計数値）が「 n 」であるときはデータ書き込みクロックのタイミングでクロックCLKnを発生し、第 n のアナログ・デジタル特性測定回路6 n に出力する。

【0043】各アナログ・デジタル特性測定回路6 n はクロック分配回路4から入力されるクロックCLKnに応じて、演算器6a内のレジスタまたはメモリ6bに試験条件データを書き込む。

【0044】以上の試験条件書き込み動作により、試験条件データが1つ（「A」）のみである場合には全てのアナログ・デジタル特性測定回路6に同一の試験条件データが同時に設定され、 n 台のアナログ・デジタル特性測定回路で n 個のDUTを同時に測定する従来回路と同一の試験ができ、かつ試験条件データが n 個である場合には n 台のアナログ・デジタル特性測定回路6に夫々固有の試験条件データを設定し、1つのDUT内の n 個のアナログ・デジタル特性試験対象回路を同時に試験することが可能となる。

【0045】次に、試験結果データについて説明する。アナログ・デジタル特性測定回路61～6 n から出力される試験結果データはマルチプレクサ回路5に入力される。マルチプレクサ回路5はカウンタ回路3の出力信号（計数値）に基づき、図4に示すように入力された試験結果データをマルチプレクスする。

【0046】カウンタ回路3の出力（計数値）が「1」である場合に、マルチプレクサ回路5には各入力端子IN1～IN n に夫々各アナログ・デジタル特性測定回路61～6 n からの試験結果データ「a」～「n」が入力され、そのまま対応する出力端子OUT1～OUT n から出力される。

【0047】カウンタ回路3の出力（計数値）が「2」である場合は、マルチプレクサ回路5には入力端子IN1に第1のアナログ・デジタル特性測定回路61からの試験結果データ「a」が入力され、入力端子IN2に第2のアナログ・デジタル特性測定回路62からの試験結果データ「b」が入力され、マルチプレクサ回路5は入力された試験結果データ「a」及び「b」の論理積を演算し、第1の出力端子OUT1から出力する。

【0048】以下同様にカウンタ回路3の出力が「 n 」である場合は、マルチプレクサ回路5には入力端子IN1～IN n に第1～第 n のアナログ・デジタル特性測定回路61～6 n からの試験結果データ「a」～「n」が夫々入力され、マルチプレクサ回路5は入力された試験結果データ「a」～「n」の論理積を演算し、第1の出力端子OUT1から出力する。マルチプレクサ回路5から出力された信号は試験結果データとしてテストコントローラ1にて管理される。

【0049】テストコントローラ1は、マルチプレクサ回路5から入力される全ての試験結果データに基づいてDUTの良／不良を判定し、DUTのアナログ・デジタル特性試験結果として出力する。

【0050】以上説明したように、第1の実施の形態のアナログ・デジタル特性試験回路100によれば、テストコントローラ1から順次複数の異なる試験条件データ「A」～「N」を出力し、カウンタ回路3にて試験条件データの出力数を計数し、その計数値、即ち試験条件データの出力順に応じてテストコントローラ1から出力されるデータ書込クロックをクロック分配回路4によって分配して、各アナログ・デジタル特性測定回路6に夫々対応する試験条件データを書き込ませる。

【0051】従って、複数の異なる試験条件データを各アナログ・デジタル特性測定回路61～6 n に設定できるため、一つのDUT内の複数のアナログ・デジタル特性試験対象回路を異なる試験条件で同時に試験でき、試験効率を向上できる。また、高価な高精度部品を必要とするアナログ・デジタル特性測定回路の追加を必要とせず、安価な論理IC（デコード回路、カウンタ回路、クロック分配回路、マルチプレクサ回路）を追加するのみで実現できるため、アナログ・デジタル特性試験回路100の製造コストを抑えることができる。

【0052】また、カウンタ回路3の計数値が「1」の場合に、一つの試験条件データを全てのアナログ・デジタル特性測定回路61～6 n に書き込むようにし、かつ、マルチプレクサ回路5は各アナログ・デジタル特性測定回路61～6 n における試験結果データの入力を受付けるようにしているので、全てのアナログ・デジタル特性測定回路61～6 n に同一の試験条件データを設定して複数のDUTを同時に試験することも可能となる。

【0053】また、各アナログ・デジタル特性測定回

路6 1～6 nにおける試験結果データはマルチプレクサ回路5に入力され、マルチプレクサ回路5はカウンタ回路3の計数値に応じて、入力された試験結果データの論理積を演算し、所定の出力端子からテストコントローラ1に対して出力する。テストコントローラ1は、マルチプレクサ5から出力される信号を試験結果データとして管理し、例えば、複数の異なる試験条件での複数の試験結果に基づいてDUTの良／不良判定を行い、その結果を出力する。従って、試験者は試験を効率よく行い、かつ試験結果を容易に取得できる。

【0054】〔第2の実施の形態〕次に、第2の実施の形態としてアナログ・デジタル特性試験回路200について説明する。

【0055】図5は、アナログ・デジタル特性試験回路200の回路構成を示す図であり、例としてアナログ・デジタル特性測定回路6を4台とし、二つのDUT（DUT"1"、DUT"2"）を試験する場合の構成を示している。図6は、アナログ・デジタル特性測定回路6へ各試験条件データを書込むタイミングを説明するタイミングチャートであり、図7は、マルチプレクサ回路5の各端子における試験結果データの入出力の関係を示す図である。

【0056】図5に示すように、アナログ・デジタル特性試験回路200は、第1の実施の形態のアナログ・デジタル特性試験回路100と同一の構成をなすため、各部の詳細な説明を省略し、同一の各部には同一の符号を付す。

【0057】第2の実施の形態では、クロック分配回路4はカウンタ回路3の計数値が「1」のとき全てのアナログ・デジタル特性測定回路6に対してクロックCLK1～CLKnを出力して同一の試験条件データ「A」を設定し、カウンタ回路3の計数値が「2」のときは第2及び第4のアナログ・デジタル特性測定回路62、64へクロックCLK2、CLK4を出力し、試験条件データ「B」を夫々設定する。そして、クロック分配回路4はカウンタ回路3の計数値が「3」あるいは「4」のときは第3あるいは第4のアナログ・デジタル特性測定回路63、64に対して夫々クロックCLK3、CLK4を出力して試験条件データ「C」あるいは「D」を設定する。

【0058】次に、図6及び図7を参照して、第2の実施の形態における動作を説明する。図6は各アナログ・デジタル特性測定回路61～64へ各試験条件データを書込むタイミングを説明するタイミングチャートであり、図7は、マルチプレクサ回路5の各端子における試験結果データの入出力の関係を示す図である。ここでは、各DUT"1"、DUT"2"内に夫々内蔵された二つのアナログデジタル変換器またはデジタルアナログ変換器を試験する場合について説明する。

【0059】DUTの特性試験実行時、4つの試験条件

データは図6に示すように「A」から「D」まで順次テストコントローラ1から送信される。送信された試験条件データがアナログ・デジタル特性試験の試験条件データであることはデコード回路2にて検出される。検出された試験条件データの数はカウンタ回路3により計数される。

【0060】クロック分配回路4はカウンタ回路3の計数値に応じて、テストコントローラ1から送信されるデータ書込クロックを各アナログ・デジタル特性測定回路61～64に分配する。即ち、図6に示すように、カウンタ回路3の出力（計数値）が「1」の時は入力されたデータ書込クロックのタイミングでクロックCLK1、CLK2、CLK3、CLK4を発生し、全てのアナログ・デジタル特性測定回路61～64に出力する。

【0061】また、カウンタ回路3の計数値が「2」であるときはデータ書込クロックのタイミングでクロックCLK2及びCLK4を発生し、第2のアナログ・デジタル特性測定回路62及び第4のアナログ・デジタル特性測定回路64に出力する。

【0062】カウンタ回路3の計数値が「3」であるときはデータ書込クロックのタイミングでクロックCLK3を発生し、第3のアナログ・デジタル特性測定回路63に出力する。カウンタ回路3の計数値が「4」であるときはデータ書込クロックのタイミングでクロックCLK4を発生し、第4のアナログ・デジタル特性測定回路64に出力する。

【0063】各アナログ・デジタル特性測定回路61～64はクロック分配回路4から入力されるクロックCLK1～CLK4のタイミングで、演算器6a内のレジスタまたはメモリ6bにそのときテストコントローラ1から出力されている試験条件データを書き込む。

【0064】以上の試験条件書き込み動作により、試験条件データが1つ（「A」）のみである場合には全てのアナログ・デジタル特性測定回路61～64に同一の試験条件データが同時に設定され、二つ目の試験条件データ「B」は、アナログ・デジタル特性測定回路62及び64に設定され、三つ目の試験条件データ「C」は、アナログ・デジタル特性測定回路63に設定され、四つ目の試験条件データ「D」は、アナログ・デジタル特性測定回路64に設定される。

【0065】即ち、テストコントローラ1から試験条件データが1回のみ送信された場合、第1から第4までの各アナログ・デジタル特性測定回路61、62、63、64には夫々同一の試験条件データ「A」が設定され、各アナログ・デジタル特性測定回路61～64が対応するDUTを夫々測定することにより同一機能を持つ4つのDUTを同時に測定することができる。

【0066】また、試験条件データが2回送信された場合には、第1のアナログ・デジタル特性測定回路61

と第3のアナログ・デジタル特性測定回路63に同一の試験条件データ「A」が設定され、また第2のアナログ・デジタル特性測定回路62と第4のアナログ・デジタル特性測定回路64に同一の試験条件データ

「B」が設定される。これにより、アナログ・デジタル特性測定回路61、62にて、DUT1に内蔵された2つのアナログ・デジタル特性試験対象回路を同時に測定することができ、かつ、DUT1と同一機能を持つDUT2についても、アナログ・デジタル特性測定回路63、64にてDUT1の試験条件と同一の試験条件で同時に測定することができる。

【0067】更に、試験条件データが3回あるいは4回送信された場合には、アナログ・デジタル特性測定回路61、62、63あるいは61、62、63、64には夫々異なる試験条件データを設定することができ、1つのDUTに内蔵された3つあるいは4つのアナログ・デジタル特性試験対象回路を同時に測定することができる。

【0068】次に、試験結果データについて説明する。アナログ・デジタル特性測定回路61～64から出力される試験結果データはマルチプレクサ回路5に入力される。マルチプレクサ回路5はカウンタ回路3の出力信号（計数値）に応じて、図7に示すように入力された試験結果データをマルチプレクスする。

【0069】カウンタ回路3の出力（計数値）が「1」である場合に、マルチプレクサ回路5には各入力端子IN1～IN4に夫々各アナログ・デジタル特性測定回路61～64からの試験結果データ「a」～「d」が入力され、そのまま対応する出力端子OUT1～OUT4から出力する。

【0070】カウンタ回路3の出力信号（計数値）が「2」である場合には第1のアナログ・デジタル特性測定回路61からの試験結果データ「a」と第2のアナログ・デジタル特性測定回路62からの試験結果データ「b」の論理積を演算し、第1の出力端子OUT1に出力する。また、第3のアナログ・デジタル特性測定回路63からの試験結果データ「c」と第4のアナログ・デジタル特性測定回路64からの試験結果データ「d」の論理積を演算し、第2の出力端子OUT2に出力する。

【0071】また、カウンタ回路3の出力信号（計数値）が「3」である場合には第1から第3までのアナログ・デジタル特性測定回路61、62、63からの試験結果データ「a」、「b」、「c」の論理積をとって第1の出力端子OUT1に出力し、カウンタ回路3の出力信号（計数値）が「4」である場合には第1から第4までのアナログ・デジタル特性測定回路61、62、63、64からの試験結果データ「a」、「b」、「c」、「d」の論理積をとって、第1の出力端子OUT1に出力する。

【0072】マルチプレクサ回路5の第1～第4の出力端子OUT1～OUT4からの出力信号は試験結果データとしてテストコントローラ1にて管理される。

【0073】テストコントローラ1は、マルチプレクサ回路5から入力される全ての試験結果データに基づいてDUT1及びDUT2の良／不良を判定し、アナログ・デジタル特性試験結果として出力する。

【0074】以上説明したように、第2の実施の形態では、クロック分配回路4はカウンタ回路3の計数値に応じて試験条件データの書き込み先を特定し、複数のアナログデジタル特性試験対象回路を持つ同一のDUTを複数同時に試験するための試験条件データを設定する。即ち、クロック分配回路4にはカウンタ回路3の計数値によって何れのクロックを出力するかが設定されている。

【0075】従って、各アナログ・デジタル特性測定回路6に対して、同一または異なる試験条件データを柔軟に設定できるので、例えば、同一の機能を有し、複数のアナログデジタル特性試験対象回路を有するDUTを複数個同時に試験することも可能となり、試験効率が向上する。

【0076】なお、何れのアナログ・デジタル特性測定回路に何れの試験条件データを設定するかは、上述の実施の形態における例に限定されるものではなく、オペレータの入力指示によりDUTの個数やDUT内のアナログデジタル特性試験対象回路数に応じて、テストコントローラ1にその試験条件設定プログラムを登録しておき、テストコントローラ1はその試験条件設定プログラムに従って、クロック分配回路4を制御し、試験条件データを対応する書き込み先に書き込ませるようにしてもよい。その他、具体的な試験条件等は任意であり、また、テストコントローラにおける試験結果の判定や出力の方法についても、本発明の趣旨を逸脱しない範囲で適宜変更可能である。

【0077】

【発明の効果】請求項1記載の発明によれば、設定手段によって複数の測定回路に対して、夫々異なる試験条件データを設定して被試験ICのアナログ・デジタル特性を試験できるので、試験効率が向上する。例えば、一つの被試験IC内に複数のアナログ・デジタル変換器やデジタル・アナログ変換器等の試験対象回路を含む場合にも各試験対象回路に夫々異なる試験条件を設定して試験できる。

【0078】請求項2記載の発明によれば、試験条件出力手段と、計数手段と、特定手段と、によって、順次出力される試験条件データを計数し、その計数値、即ち出力順に応じて何れの試験条件データを何れの測定回路に書き込むか特定できる。

【0079】請求項3記載の発明によれば、試験条件データが一つの場合には、全ての測定回路に同一の試験条件データを設定して複数の被試験ICを同時に試験でき

る。

【0080】請求項4記載の発明によれば、管理手段によってアナログ・デジタル特性試験の結果を容易に管理できる。

【0081】請求項5記載の発明によれば、マルチプレクス回路と、判定手段と、によって、各測定回路から入力される試験結果データに基づいて被試験ICの良・不良を判定でき、試験者は様々な試験条件における試験結果を容易に取得できる。

【図面の簡単な説明】

【図1】アナログ・デジタル特性試験回路100の回路構成図である。

【図2】アナログ・デジタル特性試験のためのプログラム記述例である。

【図3】アナログ・デジタル特性測定回路61～6nへ試験条件データを書込むタイミングを説明するタイミングチャートである。

【図4】マルチプレクサ回路5の各端子における試験結果データの入出力の関係を示す図である。

【図5】アナログ・デジタル特性試験回路200の回路構成図である。

【図6】図5のアナログ・デジタル特性試験回路200において、アナログ・デジタル特性測定回路61～64へ試験条件データを書込むタイミングを説明するタイミングチャートである。

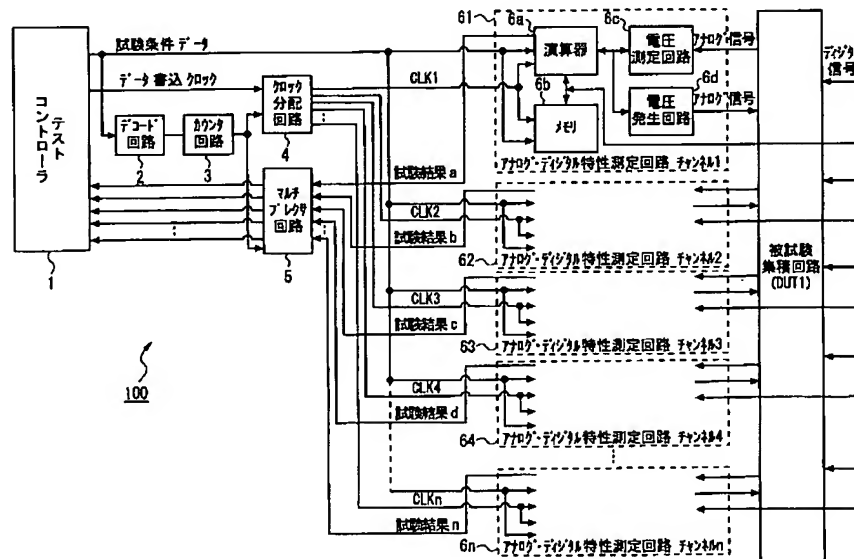
【図7】図5のアナログ・デジタル特性試験回路200において、マルチプレクサ回路5の各端子における試験結果データの入出力の関係を示す図である。

10 【図8】従来のアナログ・デジタル特性試験回路300の回路構成図である。

【符号の説明】

- 1 テストコントローラ
- 2 デコード回路
- 3 カウンタ回路
- 4 クロック分配回路
- 5 マルチプレクサ
- 61～6n アナログ・デジタル特性測定回路

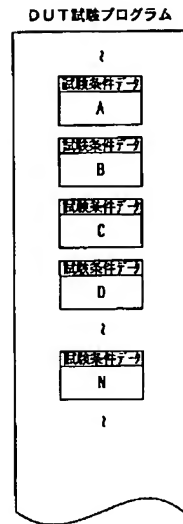
【図1】



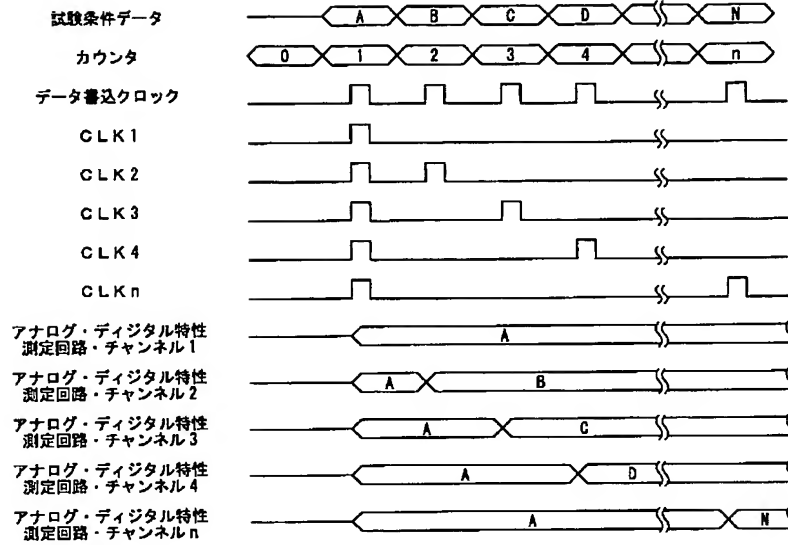
【図7】

カウンタ値	IN1	IN2	IN3	IN4	OUT1	OUT2	OUT3	OUT4
1	試験結果 a	試験結果 b	試験結果 c	試験結果 d	試験結果 a	試験結果 b	試験結果 c	試験結果 d
2	試験結果 a	試験結果 b	試験結果 c	試験結果 d	試験結果 a	試験結果 c	-	-
3	試験結果 a	試験結果 b	試験結果 c	試験結果 d	試験結果 a	-	-	-
4	試験結果 a	試験結果 b	試験結果 c	試験結果 d	試験結果 a	-	-	-

【図2】



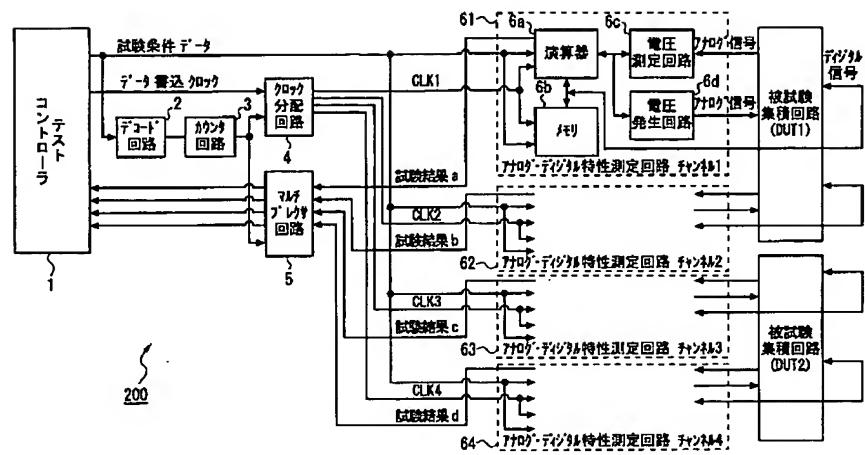
【図3】



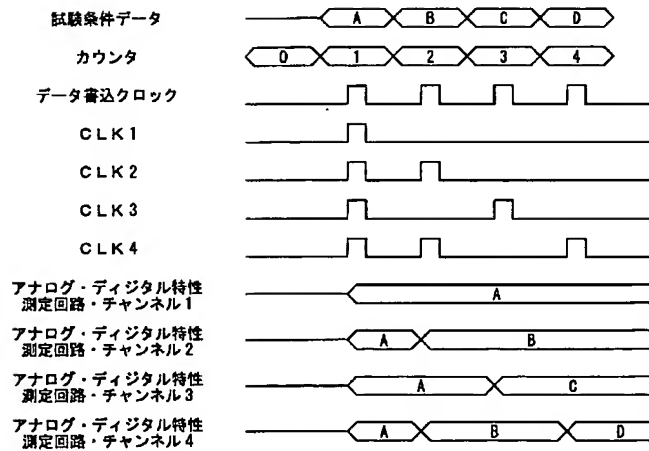
【図4】

カウンタ値	IN1	IN2	IN3	IN4	～	INn	OUT1	OUT2	OUT3	OUT4	～	OUTn
1	試験結果a	試験結果b	試験結果c	試験結果d	～	試験結果n	試験結果a	試験結果b	試験結果c	試験結果d	～	試験結果n
2	試験結果a	試験結果b	-	-	-	-	試験結果a	-	-	-	-	-
3	試験結果a	試験結果b	試験結果c	-	-	-	試験結果a	-	-	-	-	-
4	試験結果a	試験結果b	試験結果c	試験結果d	-	-	試験結果a	-	-	-	-	-
～	～	～	～	～	～	～	試験結果b	-	-	-	-	-
n	試験結果a	試験結果b	試験結果c	試験結果d	～	試験結果n	試験結果c	-	-	-	-	-
							試験結果d	-	-	-	-	-
							～	-	-	-	-	-
							試験結果n	-	-	-	-	-

【図5】



【図6】



【図8】

